中期答辩自述文档

1. 项目分工

|  |  |  |  |
| --- | --- | --- | --- |
| 姓名 | 学号 | 实验课时间 | 负责的工作（不是扣分项，但建议写，方便问答） |
| 沈泓立 | 12311016 | 周一56王晴 | CPU子模块、IO子模块 |
| 郑袭明 | 12311011 | 周一56王晴 | CPU顶层模块、仿真测试 |
| 刘安钊 | 12311020 | 周一56王晴 | 汇编代码、CPU内存子模块 |

1. 代码规范：结构化设计（是）

命名规范：下划线命名（是）

注释要求：是

符号化常量的定义及使用：是

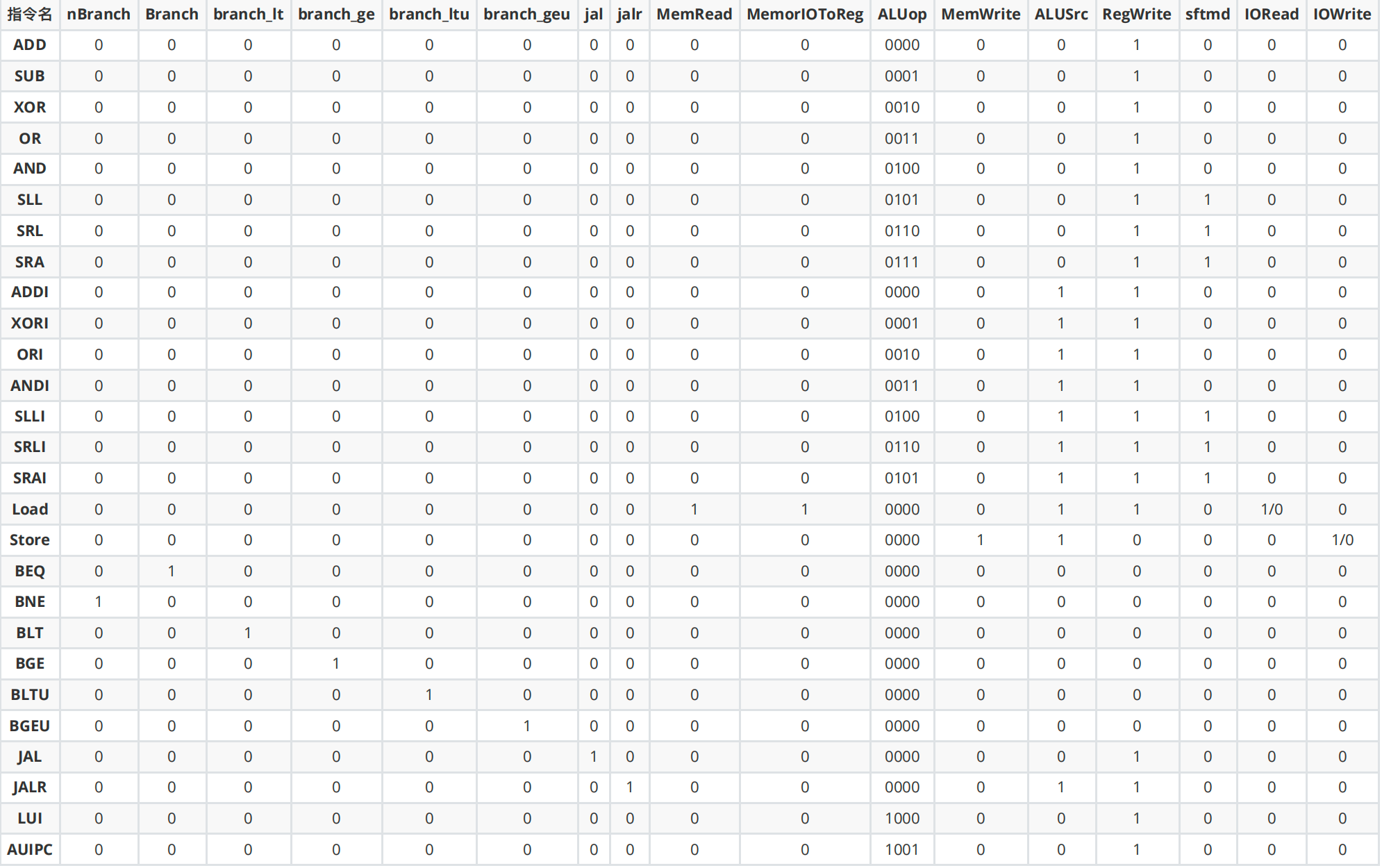
1. CPU特性 (单周期), CPU时钟( 23.8 MHz) , **ISA**( RISC-V)

**存储方案**(哈佛), **IO方案**(MMIO)

本次大作业中要实现的指令集(请罗列)：

add, sub, xor, or, and, sll, srl, sra, addi, xori, ori, andi, slli, srli, srai, lw, sw, beq, bne, blt, bge, bltu, bgeu, jal, jalr, lui, auipc, ecall

1. CPU架构设计（内部模块及连线关系）/接口设计说明
2. CPU指令于控制信号的关系



1. 项目实施的情况，已完成的项目代码

|  |  |  |
| --- | --- | --- |
| 单项 | 完成百分比 | 备注（待完成/待解决） |
| 文档 | 0% | 待完成 |
| CPU模块设计 | 80% | 更多指令待完成 |
| CPU顶层设计 | 70% | IO指令未放入顶层模块，待完成 |
| CPU 单元测试 | 80% | 已完成的子模块均完成仿真测试 |
| CPU 集成测试 | 50% | 尚未将IO模块放入顶层中测试，还没上板测试 |
| IO 设计 | 50% | 完成switch，led子模块设计，尚未完成整合 |
| IO 测试 | 0% | 待完成 |
| 程序下发方式 | 50% | ip核直接加载coe文件 |
| 工具链 | 100% | 采用rars，vivado |
| 基本测试场景1 | 100% | 完成汇编代码，上板测试待完成 |
| 基本测试场景2 | 0% | 待完成 |
| 附加测试场景 | 0% | 待完成 |

1. 计划使用/开发的工具链

rars vivado

1. 项目整体进度（\_60\_%）当前困难或问题、预计最终答辩时间、后续计划

当前困难：上板测试尚未完成，不清楚IO模块的效果

预计最终答辩时间：15周

后续计划：完成IO设计和基本测试场景的汇编代码，并上板测试